

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-73952

⑪ Int. Cl.³
H 01 L 21/92

識別記号

庁内整理番号
7638-5F

⑬ 公開 昭和57年(1982)5月8日

発明の数 2
審査請求 未請求

(全 4 頁)

⑭ フェースダウンボンディング用チップおよび
その製造方法

⑮ 発明者 宮本圭二
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑯ 特 願 昭55-149404
⑰ 出 願 昭55(1980)10月27日

⑱ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑲ 発明者 川野辺徹
小平市上水本町1450番地株式会
社日立製作所武蔵工場内

⑳ 代理人 弁理士 薄田利幸

明 細 書

発明の名称 フェースダウンボンディング用チッ
プおよびその製造方法

特許請求の範囲

1. 表層部に回路素子を形成した基板と、この基
板上に第1絶縁膜を介して部分的に形成した配線
層と、前記配線層の接続部以外の配線層部分およ
び第1絶縁膜を被り第2絶縁膜と、一部が前記接
続部と接触しかつ前記第2絶縁膜上に延びる耐食
性金属からなる導電層と、この導電層上に形成し
たパンプ電極とからなるフェースダウンボンディ
ング用チップ。

2. ウェハ表層部に回路素子を形成した後、配線層
を形成し、さらに配線層におけるボンディングパ
ッド領域以外の基板表面をパッシベーション膜で
被り工程と、一部がボンディングパッド上に載る
とともに他端がパッシベーション膜上に延びる耐
食性金属の導電層を形成し、かつ前記導電層の他
端にパンプ電極を形成する工程とからなるフェー
スダウンボンディング用チップの製造方法。

発明の詳細な説明

本発明はフェースダウンボンディング用チップ
およびその製造方法に関する。

半導体装置において、回路素子を形成したチッ
プの電極と外部端子とを直接接続する構造が知ら
れている。この接続はチップの電極を形成した主
面を下方に向けて外部端子に接続することから一
般にフェースダウンボンディングと呼ばれている。
フェースダウンボンディング用のチップは基板の
主面にパンプ電極と呼ぶ高く盛り上った電極を有
しているが、このパンプ電極は大きい発熱サイク
ルの寿命が長くなる特長を有している。この結果、
パンプ電極間隔は広くならざるを得ない。

一方、チップの電極と外部端子とを細いワイヤ
で接続する方法としてワイヤボンディング方法が
知られている。これは、ボンディングツールでワ
イヤを保持した後、被接続面にワイヤを熱圧着に
よって押し付けたり、あるいは超音波振動を生じ
させながら圧着することによってワイヤの接続を
図る方法である。この方法に用いるチップにあって

では、ワイヤが細いことと接続部があまり大きくないことから電極（ボンディングパッドあるいはパッドとも呼ぶ）の大きさはたとえば100 μ m程度と小さく、かつパッド間隔は最短で200 μ m程度となる。この結果、パッド間隔が狭い場合は直接パッド上にポンプ電極を作ることはできないので、フェースダウンボンディング用チップとして使用できない。

他方、最近では顧客は個々の品種に対してフェースダウン用チップを要求することが多々あるが、ワイヤボンディング用チップを大量に生産している場合には、新たにフェースダウン用チップの設計およびその生産は経費が多く掛ることと、その必要量が少ない場合にはコスト高となり好ましくない。

したがって、本発明の目的はフェースダウン用チップを安価に製造することにある。

このような目的を達成するために本発明は、ウェハ表層部に回路素子を形成した後、配線層を形成し、さらに配線層におけるボンディングパッド

(3)

そこで、このウェハ2の正面全面をプラズマエイトライド膜からなるパッシベーション膜で被覆する。

つぎに、ボンディングパッド形成領域上のパッシベーション膜4を部分的にエッチング除去してスルーホール5を開ける。このスルーホール5はワイヤボンディング用チップのボンディングパッド形成用のエッチング寸法よりも小さくてよい。

つぎに、第2図(b)で示すように、ウェハ2の正面全面に導電層6を設ける。この導電層6は8層構造となり、下層から上層に向かって依次チタン層(Ti層)7、銅層(Cu層)8、チタン層(Ti層)9となり、銅層8は数 μ m、両チタン層7、9は数千 \AA の厚さにそれぞれ蒸着される。また、この導電層6はベレットとなった状態ではその表面は露出することから少なくとも最上層は耐食性金属で形成される。なお、この導電層6は多層構造でなくともよい。銅とチタン、銅とクロム、クロムと銅およびチタン、クロムと銅およびクロム等でもよい。これらの組合せにおいて先に記した金属が

(5)

領域以外の露出表面をパッシベーション膜で被覆する工程と、一部がボンディングパッド上に収るとともに他端がパッシベーション膜上に延びる耐食性金属の導電層を形成し、かつ前記導電層の他端にポンプ電極を形成する工程によってフェースダウン用チップを形成するものであって、以下実施例により本発明を説明する。

第1図は本発明の一実施例によるフェースダウンボンディング用チップの製造工程を示す工程図であり、第2図(a)~(d)は同じく各製造工程でのウェハの一部の断面図である。第1図で示す工程にしたがって、第2図(a)~(d)を参照しながらチップの製造方法について説明する。第2図(a)に示すように、アルミニウム(Al)からなる配線層1を形成したシリコンのウェハ2を用意する。このウェハ2はその正面表層部に回路素子(図示せず)を形作り、その正面の電極引出領域以外を絶縁膜8で被覆している。この絶縁膜8はたとえば SiO_2 膜あるいは SiO_2 膜とPSG膜(リンガラス膜)を重ね付けた構造となっている。

(4)

後に記した金属よりも下層となる。

つぎに、前記導電層8上に耐熱性樹脂であるポリイミド樹脂を塗布、ベークするとともに、ポンプ電極形成領域に対応部と後に導電層8が不要となる領域対応部をエッチング除去し、数 μ mの厚さのマスク層10を形成する。マスク層10にはポンプ電極形成領域対応部にポンプ孔11が第2図(b)で示すように形成される。

つぎに、第2図(c)で示すように、ポンプ孔11部分以外のウェハ2の正面を数 μ mの厚さのレジスト層12で被った後、ポンプ孔11によって露出する導電層8の最上層のチタン層9をエッチング除去し、露出する銅層8上にめっきによって順次ニッケル層(Ni層)13、錫層(Sn層)14、鉛層(Pb層)15をそれぞれ数十 μ mの厚さに被覆させる。

つぎに、レジスト層12を除去した後、加熱してSn層14およびPb層15を溶かしその表面張力を利用して第2図(d)で示すように半田からなる100 μ m前後の高さの球状のポンプ電極16

(6)

を形成する(これをウエットバック処理と呼ぶ)。

つぎに、パンプ電極18およびマスク層10をマスクとして露出する導電層8(Ti層7、銅層8、Ti層9)をエッチング除去する。この結果、それぞれ独立して残留する導電層8は各配線層1に対応するパンプ電極18に電気的に接続することになる。その後、マスク層10を除去し第2図(4)で示すようなウエハとする。マスク層10は除去せず残すことも可である。さらに、ウエハ2を所望ブロック毎に切断分離して所望のチップを得る。

このような方法によれば、ワイヤボンディング時に必要となるボンディングパッド部分から所望の位置に導電層を延在することができることから、フェースボンディング用のパンプ電極を所望の位置に形成することができる。したがって、このような方法でフェースダウンボンディング用チップを形成すれば、ワイヤボンディング用チップの製造工程のほぼ最終段階での工程を変更し、新たに加工工程付け加えるだけでフェースダウンボンディ

(7)

さらに、本発明のチップにあっては、導電層は配線層のどの場所で接続してもよい。

以上のように、本発明によれば、安価にフェースダウンボンディング用チップを製造することができる。

図面の簡単な説明

第1図は本発明の一実施例によるチップの製造工程を示す工程図、第2図(4)~(4)は同じく各製造工程でのウエハの一部の断面図である。

1…配線層、2…ウエハ、4…パッシベーション膜、6…導電層、10…マスク層、11…パンプ孔、12…レジスト層、18…パンプ電極。

代理人 弁理士 陣 田 利 雄

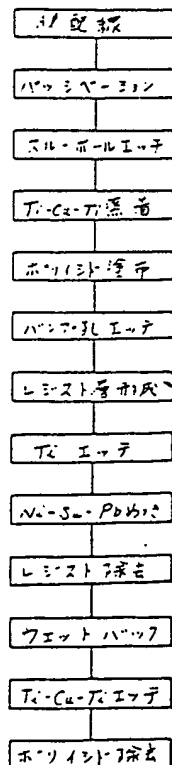
(9)

ング用チップを製造することができるので、顧客要求に迅速に応えることができるとともに、安価に製造することができる。また、本発明によるチップでは導電層は少なくともその表面は耐食性金属で形成されているため、腐食による断線は生じない。

なお、本発明は前記実施例に限定されない。たとえば、導電層をウエハ全面に設けた後、パンプ電極形成領域以外の導電層上をレジスト層で覆い、その後めっきによってパンプ電極形成領域の導電層上にパンプ電極材料となる金属を被覆してもよい。そして、その後レジストを除去し、ウエットバックを行ってパンプ電極を形成し、さらに、レジスト層をウエハ主面に部分的に設け、レジストをマスクとして導電層のパターン化(配線化)を図るようにしてもよい。この場合、導電層の表面はウエットバック時に半田が濡れない金属、たとえばチタンとしておく必要がある。また、この実施例ではめっき処理とウエットバック処理との間で導電層の配線化を行なってもよい。

(8)

第 1 図



(54) CHIP FOR FACE DOWN BONDING AND PRODUCTION THEREOF

(11) 57-73952 (A) (43) 8.5.1982 (19) JP
(21) Appl. No. 55-149404 (22) 27.10.1980
(71) HITACHI SEISAKUSHO K.K. (72) TOORU KAWANOBE(1)
(51) Int. Cl. H01L21/92

PURPOSE: To make a chip for wire bonding for common use and to reduce production costs by a method wherein a metal conductive layer which is corrosion resistant and to be connected to the pad part of a wiring layer is formed and extended to the desired region on a passivation film and a bump is provided on the conductive layer.

CONSTITUTION: A passivation film 4 (plasma nitrified film) is piled on the whole surface of a wafer 2 where a circuit element and a wiring layer 1 have been formed, while an opening is made in a bonding pad part. Next a conductive layer 6 consisting of, for instance, a Ti layer 7, a Cu layer 8 and a Ti layer 9 is deposited in order by evaporation and then coated with polyimide resins. After this, a mask 10 in which a bump hole 11 and the unnecessary region of the conductive layer 6 have been etched is provided. Next the whole region excluding the hole 11 is covered with a photoresist mask 12 and the exposed Ti layer 9 is etched. Then an Ni layer 13, an Sn layer 14 and a Pb layer 15 are plated in order. Next after the resist mask 12 is removed to form a bump 16 by means of heat processing, the unnecessary conductive layer 6 and the mask layer 10 are removed in order by etching them. By so doing, it becomes unnecessary to particularly design a chip for facing down, thus reducing production costs.

